

Practitioner's Docket No.: 782_215

#4

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of: Hideyoshi TSURUTA, Satoru YAMADA, Kiyoshi NASHIMOTO and Naoki MIYAZAKI

*Priority
Citation
6/10/02*

Ser. No.: 10/057,804

Group Art Unit: 2812

Filed: January 25, 2002

Examiner: Not Assigned

Conf. No.: 9257

For: ELECTROSTATIC CHUCK AND SUBSTRATE PROCESSING
APPARATUS

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 addressed to **Box Issue Fee, Commissioner for Patents, Washington, D.C. 20231** on April 18, 2002 under "EXPRESS MAIL" mailing label number EV 038330390 US.

Desirée M. Bennett
Desirée M. Bennett

Assistant Commissioner for Patents
Washington, DC 20231

SUBMISSION OF CERTIFIED COPY(IES) OF PRIORITY DOCUMENT(S)

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country was requested by applicants on January 25, 2002 for the above-identified application:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Japan	2001-019,487	January 29, 2001

In support of this claim, a certified copy of the Japanese Application is enclosed herewith.

Respectfully submitted,

Stephen P. Burr
Stephen P. Burr
Reg. No. 32,970

April 18, 2002
Date

SPB/dmb

BURR & BROWN
P.O. Box 7068
Syracuse, NY 13261-7068

Customer No.: 25191
Telephone: (315) 233-8300
Facsimile: (315) 233-8320



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月29日

出 願 番 号

Application Number:

特願2001-019487

[ST.10/C]:

[JP2001-019487]

出 願 人

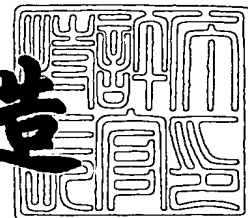
Applicant(s):

日本碍子株式会社
アネルバ株式会社

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3001759

【書類名】 特許願

【整理番号】 01P00046

【提出日】 平成13年 1月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 C30B 25/00

【発明の名称】 静電チャックおよび基板処理装置

【請求項の数】 4

【発明者】

【住所又は居所】 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

【氏名】 鶴田 英芳

【発明者】

【住所又は居所】 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

【氏名】 山田 聡

【発明者】

【住所又は居所】 東京都府中市四谷5丁目8番1号 アネルバ株式会社内

【氏名】 梨本 清

【発明者】

【住所又は居所】 東京都府中市四谷5丁目8番1号 アネルバ株式会社内

【氏名】 宮崎 直貴

【特許出願人】

【識別番号】 000004064

【氏名又は名称】 日本碍子株式会社

【特許出願人】

【識別番号】 000227294

【氏名又は名称】 アネルバ株式会社

【代理人】

【識別番号】 100072051

【弁理士】

【氏名又は名称】 杉村 興作

【選任した代理人】

【識別番号】 100059258

【弁理士】

【氏名又は名称】 杉村 暁秀

【手数料の表示】

【予納台帳番号】 074997

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703804

【書類名】 明細書

【発明の名称】 静電チャックおよび基板処理装置

【特許請求の範囲】

【請求項 1】 ウエハーを設置するための設置面を有する絶縁層と、この絶縁層内に設置されている内部電極と、前記設置面から突出する、前記ウエハーと接触すべき接触面を有する突起を備えており、前記ウエハーを吸着した状態で、前記設置面と前記突起と前記ウエハーとによって形成された空間内にバックサイドガスを流すことで前記ウエハーの温度分布を均一化させる静電チャックであって、

前記突起の前記接触面の面積の合計値が、前記内部電極の面積の 5 % 以上、10 % 以下であり、前記突起の高さが $5 \mu\text{m}$ 以上、 $10 \mu\text{m}$ 以下であることを特徴とする、静電チャック。

【請求項 2】 前記突起の径が $\phi 1.0 \text{ mm}$ 以上、 2.0 mm 以下であることを特徴とする、請求項 1 記載の静電チャック。

【請求項 3】 前記突起が連続的に並んで配列されていることを特徴とする、請求項 1 または 2 記載の静電チャック。

【請求項 4】 基板の表面に所定の処理を施す基板処理装置であって、内側で前記所定の処理が行われる処理チャンバと、この処理チャンバ内の所定の位置に前記基板を静電吸着して保持するための請求項 1 - 3 のいずれか一つの請求項に記載の静電チャックと、前記静電チャックに前記基板を静電吸着するための吸着用電源とを備えていることを特徴とする、基板処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ウエハーの温度分布を均一化でき、かつパーティクルの発生を抑制できるような静電チャックに関するものである。

【0002】

【従来の技術】 現在、半導体ウエハーの搬送、露光、CVD などの成膜プロセス、及び洗浄、エッチング、ダイシングなどの微細加工に代表される各工程において、半導体ウエハを吸着し、保持するために静電チャックが使用されている。通常、絶縁層の設置面から突出する多数の突起ないしエンボス部分を設け、この突

起の頂面（接触面）を半導体ウエハーに対して接触させる。また、絶縁層内の内部電極に直流電圧を印加し、半導体ウエハーと突起の接触面との接触界面でジョンソナーバック力を発生させ、接触面上の半導体ウエハーを吸着する。このため、突起の接触面（頂面）の面積を大きくすることによって、半導体ウエハーの吸着力を向上させることができる。

【0003】また、半導体ウエハーに対して成膜等の所定の処理を施すためには、半導体ウエハーの温度を一定温度に保持し、かつ半導体ウエハーの各部分の温度を均一にする必要がある。この際、静電チャックの絶縁層の温度を、内蔵ヒーター等によって上昇させ、突起の接触面と半導体ウエハーの裏面との間の接触領域で、絶縁層から半導体ウエハーへと熱を伝導させる方法がある。しかし、この方法では、突起の接触面の微妙な硬さの変化、表面凹凸の変化等によって、突起と半導体ウエハーとの接触状態が変化し、各突起の各接触面における熱接触抵抗がばらつく。このため、絶縁層からの熱を安定して半導体ウエハーの全体に伝えることができないため、半導体ウエハーの温度均一性が低下しやすい。このため、半導体ウエハーの裏面と絶縁層との隙間に一定圧力のバックサイドガスを流し、このバックサイドガスにおける熱輻射、熱対流によって絶縁層の熱を半導体ウエハーへと伝達する方法がある。この場合には、バックサイドガスの圧力を大きくすると、絶縁層から半導体ウエハーへの熱伝導量が大きくなり、また半導体ウエハーにおける温度の均一性が高まる傾向がある。

【0004】

【発明が解決しようとする課題】しかし、突起の接触面の面積を大きくし、吸着力を向上させると、半導体ウエハーの裏面と突起の接触面との間の擦れによって、パーティクルが発生しやすくなる。このパーティクルは、突起の接触面に堆積し、半導体ウエハーに付着する可能性がある。

【0005】一方、突起の接触面の面積を減らすと、パーティクルの発生量が減少し、パーティクルの突起への付着も減少する。しかし、この場合には、接触面と半導体ウエハーとの間で作用するジョンソナーバック力が減少するので、結果として半導体ウエハーの吸着力が低下する。

【0006】この一方、半導体ウエハーの裏面と絶縁層との間に規定圧力のバッ

クサイドガスを流すと、半導体ウエハーにはバックサイドガスによる浮力が作用する。このため、半導体ウエハーへと実際に作用する吸着力は、静電チャックから半導体ウエハーに作用する静電的な吸着力から、半導体ウエハーにバックサイドガスから作用する浮力を引いた値になる。ここで、前述のように突起の接触面の面積を減らすと、浮力の作用が相対的に大きくなり、半導体ウエハーの吸着力が不十分になる。この問題を回避するためにバックサイドガスの圧力を減らすと、バックサイドガスによる熱伝導が不十分になり、半導体ウエハーの温度の均一性が劣化する。

【0007】本発明の課題は、ウエハー設置面から突出する突起を備えており、ウエハーを吸着した状態で、設置面と突起とウエハーとによって形成された空間内にバックサイドガスを流すことでウエハーの温度分布を均一化させる静電チャックにおいて、突起と半導体ウエハーとの擦れによって発生するパーティクルを低減させると同時に、半導体ウエハーの温度の均一性を向上させ得るような、静電チャックを提供することである。

【0008】

【課題を解決するための手段】本発明は、ウエハーを設置するための設置面を有する絶縁層と、この絶縁層内に設置されている内部電極と、設置面から突出する、ウエハーと接触するべき接触面を有する突起とを備えており、ウエハーを吸着した状態で、設置面と突起とウエハーとによって形成された空間内にバックサイドガスを流すことでウエハーの温度分布を均一化させる静電チャックであって、突起の接触面の面積の合計値が、内部電極の面積の5%以上、10%以下であり、突起の高さが $5\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下であることを特徴とする。

【0009】また、本発明は、基板の表面に所定の処理を施す基板処理装置であって、内側で所定の処理が行われる処理チャンバと、この処理チャンバ内の所定の位置に基板を静電吸着して保持するための前記静電吸着チャックと、静電チャックに前記基板を静電吸着するための吸着用電源とを備えていることを特徴とする。

【0010】本発明者は、ウエハーと接触するべき突起の接触面の面積の合計値を、内部電極の面積の10%以下と小さくしてパーティクルの発生を低減した場

合であっても、突起の高さを $5\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下に制御すれば、半導体ウエハーへの静電チャックからのバックサイドガスを通じた熱伝導が効率的に行われ、半導体ウエハーの温度の均一性が高く保持されることを発見し、本発明に到達した。

【0011】これについて更に説明する。従来、静電チャックの突起の高さは、 $20\mu\text{m}$ 程度であり、絶縁層と半導体ウエハーとの間で熱対流によって伝熱していた。従って、突起の高さを小さくすることは、熱伝導の点では不利であると考えられていた。

【0012】しかし、実際に突起の高さを $5-10\mu\text{m}$ に制御すると、別の観点から熱伝導に有利であることが判明した。即ち、突起と半導体ウエハーとの接触領域におけるジョンソンラーベック力による吸着力の他、絶縁層の表面付近に滞留する電荷と、半導体ウエハーの帯電電荷との間でクーロン力が作用するらしく、半導体ウエハーの静電的な吸着力が、全体として、予想されていたよりも低下しないことが判明した。この結果、半導体ウエハーの裏面と設置面との間のバックサイドガスの圧力を大きくし、バックサイドガスを通じた熱伝導を効率的に行わせ、半導体ウエハーの温度分布を均一化させることに成功した。この作用効果を得るためには、突起の高さを $10\mu\text{m}$ 以下にすることが必要であった。この観点からは、突起の高さを $8\mu\text{m}$ 以下とすることが一層好ましい。

【0013】一方、突起の高さを小さくすればするほど、前述したクーロン力の寄与が大きくなり、静電的な吸着力が一層向上することが分かった。しかし、突起の高さが $5\mu\text{m}$ 未満になると、今度はバックサイドガスの圧力を高くしても、熱伝導の効率が低下し、半導体ウエハーの温度の均一性が低下した。おそらく、突起の高さが $5\mu\text{m}$ 未満になると、熱対流の寄与がなくなり、熱輻射が支配的になるためと思われる。また、設置面2aにあるパーティクルが半導体ウエハーとは直接接触していないものの、静電吸着力によって半導体ウエハーに引きつけられるため、半導体ウエハーへのパーティクルを十分に低減しにくいものと考えられる。これらの観点からは、突起の高さを $6\mu\text{m}$ 以上とすることが更に好ましい。

【0014】また、突起のウエハーと接触するべき接触面の面積の合計値が、内

部電極の面積の 5 % 未満になると、前述したクーロン力等による寄与を考慮しても、吸着力が低くなり過ぎ、十分に高い圧力のバックサイドガスを流すことができず、半導体ウエハーの温度の均一性が低下する。

【0 0 1 5】 前述した観点から、突起のウエハーと接触すべき接触面の面積の合計値を、内部電極の面積の 8 % 以下とすることが更に好ましく、あるいは 6 % 以上とすることが一層好ましい。

【0 0 1 6】 突起のウエハーと接触すべき接触面の面積は、通常の吸着時にウエハーの裏面と接触する面積を言う。これは、通常、突起の頂面の面積と等しい。ただし、例えば突起の一部が低く、その突起が通常の設置条件ではウエハーの裏面と接触しないような場合には、その突起の頂面の面積は含まれない。

【0 0 1 7】 また、内部電極の面積、突起の接触面の面積は、いずれも、設置面に対して垂直な方向から測定したときの面積を言う。

【0 0 1 8】 突起の高さは、ダイヤルゲージもしくは三次元形状測定装置によって測定する。

【0 0 1 9】 基板に対する処理は限定されないが、露光、CVD などの成膜プロセス、洗浄、エッチング、ダイシングなどの微細加工を例示できる。

【0 0 2 0】 基板の種類は限定されないが、半導体ウエハーが好ましい。

【0 0 2 1】 処理チャンバおよび静電吸着用電源自体は、本分野において知られているものを利用できる。

【0 0 2 2】 図 1 は、本発明の実施形態に係る静電チャック 1 を概略的に示す平面図であり、図 2 は、図 1 の静電チャックの一部拡大断面図である。

【0 0 2 3】 図 1 によると、静電チャック 1 は、円盤形状の絶縁層 2 と、絶縁層 2 内に埋設されている内部電極 1 2 とを備えている。2 b は絶縁層 2 の側面（外周面）であり、2 a は絶縁層 2 の平坦な設置面である。設置面 2 a から、多数の突起 3 A が突出している。各突起 3 A は、それぞれ盤状、特に好ましくは円盤状をしている。各突起 3 A は互いに離れており、設置面上に分散して存在している。

【0 0 2 4】 また、絶縁層 2 の例えば 3 箇所にガス供給孔 6 が形成されており、ガス供給孔 6 の上端部にはガス分配溝 5 が通じている。ガス分配溝 5 は、ガス供

給孔 6 の端部に連続している凹部 5 a と、各凹部 5 a からそれぞれ側面 2 a の方へと向かって延びている細長い溝 5 b と、各溝 5 b の先端に連続している円環形状の溝 5 c とからなっている。ガス分配溝 5 は、設置面 2 a に対して低い位置に形成されている。このため、図 2 に示すように、バックサイドガスが、矢印 A のようにガス供給孔 6 に供給されると、ガスは矢印 B のように凹部 5 a に入り、溝 5 b、5 c を伝わって流れる。この際、溝 5 b、5 c の全域から、設置面 2 a、突起 3 A、半導体ウエハー 1 0 によって包囲された空間 1 1 へとバックサイドガスが流れる。

【0025】絶縁層 2 の中央部には、円形の貫通孔 7 と、その周囲の 3 方向へと向かって放射状に延びる溝 8 とが形成されている。貫通孔 7 および溝 8 の周囲には突起は形成されていない。

【0026】本発明に従って、各突起 3 A の頂面（半導体ウエハーへの接触面）1 4 の面積の合計値の、内部電極 1 2 の面積に対する割合を、5 % 以上、1 0 % 以下とする。また、突起の高さ H を $5 \mu\text{m}$ 以上、 $10 \mu\text{m}$ 以下とする。

【0027】本発明においては、個々の各突起の直径 ϕ は種々変更できるが、ウエハーの温度の均一性の観点からは、 ϕ を $1.0 - 2.0 \text{ mm}$ とすることが好ましい。

【0028】また、個々の各突起の平面的形状や平面的寸法は種々変更できる。例えば突起の接触面の形状は、円形の他に、三角形、四角形、六角形、八角形等の多角形であってよい。また、突起の個数についても特に限定されない。しかし、半導体ウエハーに対する吸着力を、半導体ウエハーの全面にわたって均一化するという観点からは、単位面積当たりの突起の個数を、 $0.010 - 0.140$ 個/ mm^2 とすることが特に好ましい。

【0029】突起を連続的に並んで配列させることが好ましい。これによって、ウエハーの吸着力のムラが生じにくくなり、温度の均一性が一層向上する。突起を連続的に並んで配列させるとは、例えば図 3 に示すように、吸着面に平行な方向に見たときに、突起 3 A と、隣接する突起 3 A の間の溝とが、交互に並んでいることを意味している。突起 3 A は、好ましくは一定間隔で規則的に配列されている。

【0030】絶縁層の材質は限定しないが、パーティクルの発生を一層低減させるという観点からは、窒化アルミニウム系セラミックス、窒化アルミニウムを含む複合材料、アルミナ系セラミックス、アルミナを含む複合材料、アルミナと窒化アルミニウムとの複合セラミックスが好ましい。

【0031】内部電極の材質も限定されず、導電性セラミックスや金属であってよいが、高融点金属が特に好ましく、モリブデン、タングステン、モリブデンとタングステンとの合金が特に好ましい。

【0032】突起の材質は特に限定されないが、パーティクルの発生を一層低減させるという観点からは、窒化アルミニウム系セラミックス、窒化アルミニウムを含む複合材料、アルミナ系セラミックス、アルミナを含む複合材料、アルミナと窒化アルミニウムとの複合セラミックスが好ましい。突起は、ブラスト加工、化学的気相成長法などによって形成できる。

【0033】バックサイドガスとしては、公知のガス、例えばヘリウム、アルゴン、ヘリウムとアルゴンとの混合ガスを使用できる。

【0034】バックサイドガスのガス供給孔への供給圧力は、半導体ウエハーへの熱伝導を良好にするためには5 Torr以上とすることが好ましく、15 Torr以上とすることが一層好ましい。ただし、この圧力が増大し過ぎるとウエハーへの吸着力が低下し、ウエハーが外れやすくなるので、30 Torr以下とすることが好ましい。

【0035】

【実施例】基本的に図1、図2に示したような形状の静電チャックを製造した。具体的には、窒化アルミニウム粉末を所定形状に成形して成形体を形成した後、この成形体上に、モリブデンからなる内部電極を配置し、さらにこの上に窒化アルミニウム粉末を充填し、再度成形し、内部電極を埋設した円盤状の成形体を得た。次いで、この成形体を窒素雰囲気中で焼結することにより、内部電極を埋設した直径200mmの絶縁層2を作製した。

【0036】絶縁層2の表面側に、ブラスト加工によって、図1に示すような平面円形の多数の突起3Aを形成した。また、貫通孔7、ガス分配溝5を形成した。

【0037】内部電極12の面積は 31000 mm^2 とした。突起3Aの接触面14の面積と、突起3Aの個数とを種々変更することによって、内部電極12の面積に対する突起3Aの接触面14の面積の合計値の割合を、表1、表2のように種々変更した。また、突起3Aの高さHは、表1、表2に示すように変更した。

【0038】この静電チャック1の設置面2a上に、直径200mmのシリコンウエハー10を設置した。シリコンウエハー10の裏面が、突起3Aの接触面14に対して接触する。内部電極12に±500ボルトの直流電圧を印加し、シリコンウエハー10を静電チャック1に吸着させた。そして、バックサイドガスを流さない状態で、シリコンウエハーの静電的な吸着力を、圧力(Torr)単位として測定した。

【0039】次いで、シリコンウエハー10、絶縁層2および突起3Aによって形成された空間11に、前述のようにしてアルゴンガスを供給した。絶縁層2を加熱することによって、シリコンウエハーの平均温度を350℃まで上昇させた。バックサイドガスの供給圧力は、バックサイドガスを供給した後のシリコンウエハーの吸着力が30Torr程度に保持されるように調節した。この状態で、シリコンウエハーの5箇所の温度を熱電対付きウエハーによって測定し、温度の最大値と最小値との差を得た。

【0040】また、シリコンウエハーを350℃で上記のようにして1分間吸着した後、シリコンウエハーの吸着を解除した。次いで、シリコンウエハーの裏面に付着していたパーティクルの個数を、半導体製造工場において一般的なパーティクルカウンターを使用して計測した。これらの結果を表1、表2に示す。

【0041】

【表 1】

内部電極の面積に対する突起の接触面の面積の割合 (%)	3	5	7	1 0	1 5
突起の高さ H (mm)	7	7	7	7	7
静電的な吸着 (g/mm ²) (バックサイドガスのないとき)	4 0	5 0 を超えた	5 0 を超えた	5 0 を超えた	5 0 を超えた
シリコンウエハーの温度の最大値と最小値との差 (℃)	± 5	± 3	± 2	± 3	± 3
パーティクルの個数 (個/mm ²)	2	2	3	5	2 0

【0 0 4 2】

【表 2】

内部電極の面積に対する突起の接触面の面積の割合 (%)	7	7	7	7	7
突起の高さ H (mm)	3	5	7	1 0	1 5
静電的な吸着 (g/mm ²) (バックサイドガスのないとき)	5 0 を超えた	5 0 を超えた	5 0 を超えた	5 0 を超えた	2 5
シリコンウエハーの温度の最大値と最小値との差 (℃)	± 1 0	± 3	± 2	± 3	ウエハーがガス圧で剥離
パーティクルの個数 (個/mm ²)	2 0	5	3	5	—

【0 0 4 3】

【発明の効果】本発明の静電チャックによれば、突起と半導体ウエハーとの擦れによって発生するパーティクルを低減させると同時に、半導体ウエハーの温度の均一性を向上させ得る。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係る静電チャック 1 を概略的に示す平面図である。

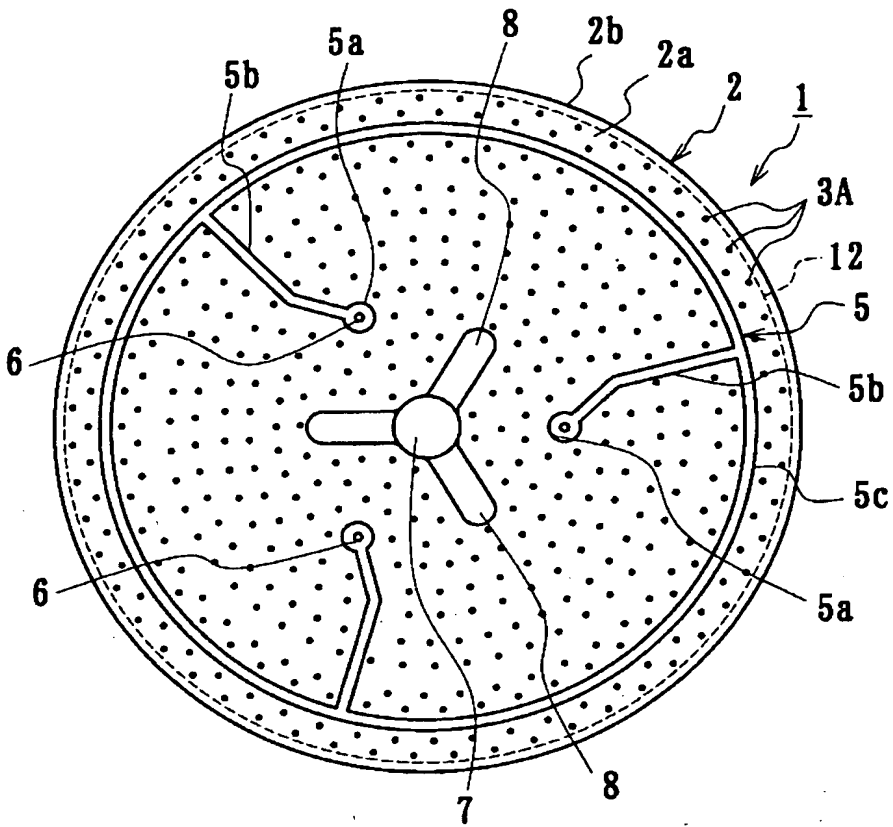
【図 2】 図 1 の静電チャック 1 の一部拡大断面図である。

【図 3】 静電チャックの表面において突起が並んで配列されている状態を示す図である。

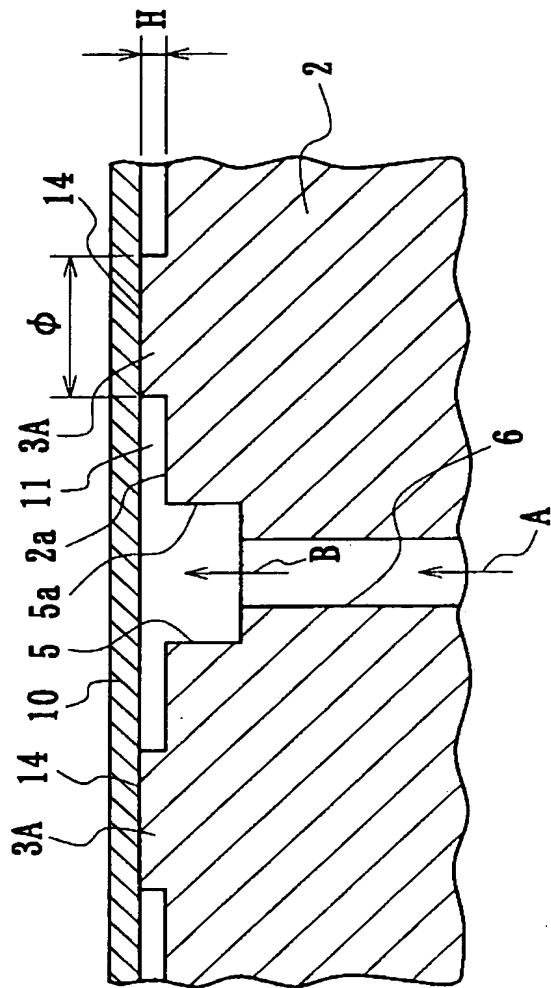
【符号の説明】 1 静電チャック、 2 絶縁層、 2 a 絶縁層の設置面、 3 A ウエハーに接触する突起、 7 貫通孔、 5 ガス分配溝、 6 ガス供給孔、 1 0 ウエハー、 1 1 設置面、 2 a と突起 3 A、 3 B とウエハー 1 0 とによって形成された空間、 1 2 内部電極、 1 4 突起の接触面

【書類名】 図面

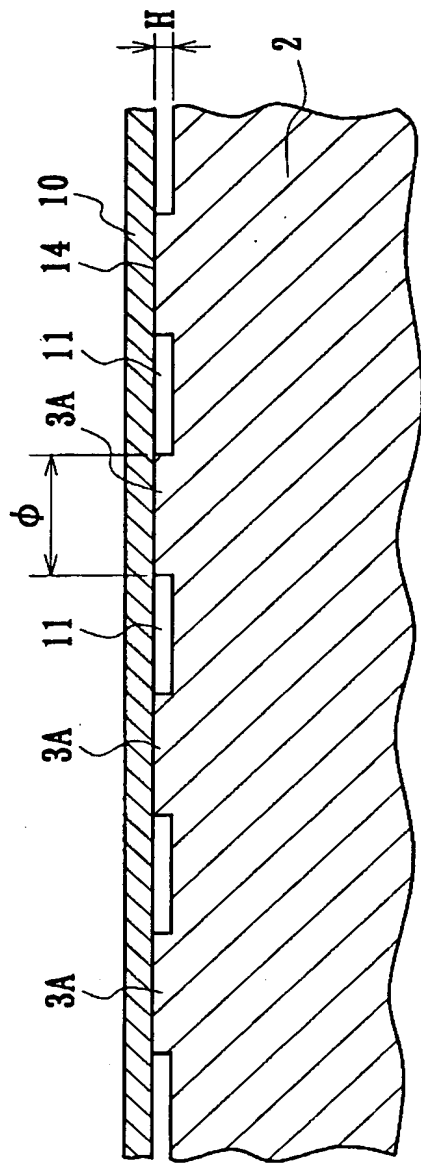
【図 1】



【図 2】



【図3】



【書類名】 要約書

【要約】

【課題】 静電チャックにおいて、突起と半導体ウエハーとの擦れによって発生するパーティクルを低減させ、半導体ウエハーの温度の均一性を向上させる。

【解決手段】 静電チャック 1 は、ウエハー 1 0 を設置する設置面 2 a を有する絶縁層 2 と、絶縁層 2 内に設置されている内部電極と、設置面 2 a から突出する、ウエハー 1 0 と接触する接触面 1 4 を有する突起 3 A を備える。ウエハー 1 0 を吸着した状態で、設置面 2 a と突起 3 A とウエハー 1 0 とによって形成された空間 1 1 内にバックサイドガスを流すことで、ウエハー 1 0 の温度分布を均一化させる。突起 3 A のウエハー 1 0 と接触するべき接触面 1 4 の面積の合計値が、内部電極の面積の 5 % 以上、1 0 % 以下である。突起 3 A の高さ H が 5 μ m 以上、1 0 μ m 以下である。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000004064]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 愛知県名古屋市瑞穂区須田町2番56号
氏 名 日本碍子株式会社

出 願 人 履 歴 情 報

識別番号 [000227294]

1. 変更年月日 1995年11月24日
[変更理由] 名称変更
住 所 東京都府中市四谷5丁目8番1号
氏 名 アネルバ株式会社

SWORN TRANSLATION

I, Jun INOH, hereby declare and state that I am knowledgeable of each of the English and Japanese languages and that I made the attached translation of the certified copy of Japanese Patent Application No. 2001-019487 from the Japanese language into English language and that I believe my attached translation to be accurate, true and correct to the best of my knowledge and ability.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

Date: November 10, 2003

Declarant:

Jun Inoh

Jun INOH

[Identification of Document]	Petition for Patent Application
[Reference Number]	01P00046
[Date of Submission]	January 29, 2001
[Addressee]	Commissioner, Patent Office: Kozo OIKAWA
[International Patent Classification]	C30B 25/00
[Title of Invention]	ELECTROSTATIC CHUCK AND SUBSTRATE PROCESSING APPARATUS
[Number of Claims]	4
[Inventor]	
[Address]	c/o NGK INSULATORS, LTD. 2-56, Suda-Cho, Mizuho-Ku, Nagoya City, Aichi Pref., Japan
[Name]	Hideyoshi TSURUTA
[Inventor]	
[Address]	c/o NGK INSULATORS, LTD. 2-56, Suda-Cho, Mizuho-Ku, Nagoya City, Aichi Pref., Japan
[Name]	Satoru YAMADA
[Inventor]	
[Address]	c/o ANELVA CORPORATION 5-8-1, Yotsuya, Fuchu City, Tokyo, Japan
[Name]	Kiyoshi NASHIMOTO
[Inventor]	
[Address]	c/o ANELVA CORPORATION 5-8-1, Yotsuya, Fuchu City, Tokyo, Japan
[Name]	Naoki MIYAZAKI

[Applicant]	
[Identification Number]	000004064
[Name]	NGK INSULATORS, LTD.
[Applicant]	
[Identification Number]	000227294
[Name]	ANELVA CORPORATION
[Representative]	
[Identification Number]	100072051
[Patent Attorney]	
[Name]	Kosaku SUGIMURA
[Representative]	
[Identification Number]	100059258
[Patent Attorney]	
[Name]	Akihide SUGIMURA
[Identification of Fee]	
[Deposit Account Number]	074997
[Amount of Payment]	¥21,000
[List of Attached Items]	
[Identification of Item]	Specification: 1
[Identification of Item]	Drawing: 1
[Identification of Item]	Abstract: 1
[General Authorization Number]	9703804

[Identification of Document] Specification

[Title of the Invention] ELECTROSTATIC CHUCK AND SUBSTRATE
PROCESSING APPARATUS

[Claims]

[Claim 1] An electrostatic chuck having an insulation layer including a mount plane on which a wafer is mounted, an inner electrode provide in the insulation layer, and projecting portions protruded from the mount plane which include contact planes to be contacted to the wafer, wherein a backside gas is flowed in a space defined by the mount plane, the projecting portions, and the wafer under such a condition that the wafer is attracted to the mount plane so as to maintain a temperature uniformity of the wafer, comprising a construction such that a total amount of areas of the contact planes of the projecting portions is not less than 5% and not more than 10% with respect to an area of the inner electrode, and heights of the projecting portions are not less than 5 μm and not more than 10 μm .

[Claim 2] The electrostatic chuck according to claim 1, wherein diameters of the projecting portions are not less than 1.0 mm and not more than 2.0 mm.

[Claim 3] The electrostatic chuck according to claim 1 or 2, wherein the projecting portions are aligned side-by-side continuously.

[Claim 4] A substrate processing apparatus wherein a predetermined process is applied to a plane of a substrate, comprising: a process chamber in which the predetermined process is performed; the electrostatic chuck set forth in any one of claims 1 to 3, used for electrostatically attracting and holding the substrate at a predetermined position in the process chamber; and a power source for attracting used for electrostatically attracting the substrate to the electrostatic chuck.

[Detailed Description of Invention]

[0001]

[Technical Field of the Invention] The present invention relates to an electrostatic chuck which can achieve a uniform temperature distribution of a wafer and suppress a particle generation.

[0002]

[Prior Art] At present, electrostatic chucks are used for attracting and holding semiconductor wafers in finely working e.g., transferring, exposing, film-forming by CVD, washing, etching, and dicing the semiconductor wafers. Normally, a

plurality of projecting portions or embossed portions protruded from a mount plane of an insulation layer, and crown planes (contact planes) of the projecting portions are contacted to the semiconductor wafer. Moreover, DC voltage is applied to an inner electrode in the insulation layer, and Johnson-Rahbeck force is generated at a contact boundary between the semiconductor wafer and the projecting portions, so that the semiconductor wafer is attracted on the contact planes. Therefore, if an area of contact planes (crown planes) is increased, it is possible to improve an attraction of the semiconductor wafer.

[0003] Further, in order to perform predetermined processes such as film-forming and so on with respect to the semiconductor wafer, it is necessary to maintain a temperature of the semiconductor wafer at a constant temperature and to make a temperature at respective portions of the semiconductor wafer uniform. In this case, if a temperature of the insulation layer of the electrostatic chuck is increased by a built-in heater and so on, a heat is conducted from the insulation layer to the semiconductor wafer at a contact region between the contact planes of the projecting portions and a rear plane of the semiconductor wafer. However, in the method mentioned above, since a contacting state between the projecting portions and the semiconductor wafer is varied in accordance with a slight hardness variation of the contact planes of the projecting portions or a concavo-convex variation of a plane surface, a heat contacting resistance is varied at respective contact planes of respective projecting portions. Therefore, a heat from the insulation layer cannot be conducted stably to the overall semiconductor wafer, and thus a temperature uniformity of the semiconductor wafer is liable to be decreased. In order to eliminate such a drawback, there is proposed a method wherein a backside gas with a constant pressure is flowed through a space between the rear plane of the semiconductor wafer and the insulation layer, and a heat from the insulation layer is conducted to the semiconductor wafer by utilizing a heat radiation and a heat convection from the backside gas. In this case, if a pressure of the backside gas becomes larger, such tendencies are detected that, a heat conduction from the insulation layer to the semiconductor wafer becomes larger, and a temperature uniformity of the semiconductor wafer can be improved.

[0004]

[Problems to be Solved by the Invention] However, if an area of the contact planes of the projecting portions is made larger so as to improve an attraction of the semiconductor wafer, the rear plane of the semiconductor wafer and the contact planes of the projecting portions are robbed, so that particles are liable to generate. Such particles are deposited on the contact planes of the projecting portions and further there is a possibility such that they are adhered to the semiconductor wafer.

[0005] On the other hand, if an area of the contact planes of the projecting portions is made smaller, a particle generation is decreased and thus an adhesion of particles to the projecting portions is decreased. However, in this case, since Johnson-Rahbeck force acting between the contact planes and the semiconductor wafer is decreased, an attraction force of the semiconductor wafer is also decreased.

[0006] Further, when the backside gas with a predetermined pressure is flowed between the rear plane of the semiconductor wafer and the insulation layer, an ascending force due to the backside gas is applied to the semiconductor wafer. Therefore, an attraction force actually acting to the semiconductor wafer becomes such a value that an ascending force acting from the backside gas to the semiconductor wafer is taken from an attraction force due to electrostatic effects acting from the electrostatic chuck to the semiconductor wafer. In this case, if an area of the contact planes of the projecting portions is decreased as mentioned above, an ascending force acting to the semiconductor wafer becomes relatively larger, and thus an attraction force of the semiconductor wafer is not sufficient. In order to eliminate such a drawback, if a pressure of the backside gas is made smaller, a heat conduction due to the backside gas becomes insufficient, and thus a temperature uniformity of the semiconductor wafer is deteriorated.

[0007] An object of the present invention is to provide an electrostatic chuck having projecting portions protruded from a wafer mount plane, wherein a backside gas is flowed in a space defined by the wafer mount plane, the projecting portions and the wafer under such a condition that the wafer is attracted to the wafer mount plane so as to maintain a temperature uniformity of the wafer, which can reduce particles generated by robbing the projection portions and the wafer and improve a temperature uniformity of the wafer.

[0008]

[Means for Solving the Problems] According to the invention, an electrostatic chuck having an insulation layer including a mount plane on which a wafer is mounted, an inner electrode provide in the insulation layer, and projecting portions protruded from the mount plane which include contact planes to be contacted to the wafer, wherein a backside gas is flowed in a space defined by the mount plane, the projecting portions, and the wafer under such a condition that the wafer is attracted to the mount plane so as to maintain a temperature uniformity of the wafer, comprises a construction such that a total amount of areas of the contact planes of the projecting portions is not less than 5% and not more than 10% with respect to an area of the inner electrode, and heights of the projecting portions are not less than 5 μm and not more than 10 μm .

[0009] Moreover, according to the invention, a substrate processing apparatus wherein a predetermined process is applied to a plane of a substrate, comprises: a process chamber in which the predetermined process is performed; the electrostatic chuck used for electrostatically attracting and holding the substrate at a predetermined position in the process chamber; and a power source for attracting used for electrostatically attracting the substrate to the electrostatic chuck.

[0010] The present inventors found that, even in the case such that a total amount of areas of the contact planes of the projecting portions to be contacted to the wafer is made smaller to a level of not more than 10% with respect to an area of the inner electrode so as to reduce particle generations, if heights of the projecting portions are controlled to not less than 5 μm and not more than 10 μm , it is possible to effectively perform a heat conduction through the backside gas from the electrostatic chuck to the semiconductor wafer, and thus it is possible to maintain a high temperature uniformity of the semiconductor wafer.

[0011] This is further explained. Generally, a height of the projecting portion of the electrostatic chuck was about 20 μm , and a heat was conducted by a heat convection between the insulation layer and the semiconductor wafer. Therefore, it was thought that a low height of the projecting portion is not effective upon a heat conduction.

[0012] However, it was understood that, if a height of the projecting portion

is controlled actually to 5 - 10 μm , it is effective upon a heat conduction from another point of view. That is, it was assumed that coulomb force is acted between electric charges suspended near a plane of the insulation layer and electrostatic charges of the semiconductor wafer, other than an attraction force due to Johnson-Rahbeck force at a contact region between the projecting portions and the semiconductor wafer. Therefore, it was understood that an electrostatic attraction force of the semiconductor wafer is not decreased as expected. As a result, a pressure of the backside gas between the rear plane of the semiconductor wafer and the mount plane is made larger, and a heat conduction through the backside gas is effectively performed, so that it is possible to achieve a uniform temperature distribution of the semiconductor wafer. In order to obtain such advantages, it is necessary to set a height of the projecting portion to not more than 10 μm . From this point of view, it is more preferred to set a height of projecting portion to not more than 8 μm .

[0013] Moreover, it was understood that, if a height of the projecting portion is made smaller, a contribution of coulomb force mentioned above becomes larger, and an electrostatic attraction force is further improved. However, in the case such that a height of the projecting portion becomes less than 5 μm , a heat conduction efficiency was decreased even if a pressure of the backside gas was made larger, and thus a temperature uniformity of the semiconductor wafer was decreased. Assumably, it was understood that, if a height of the projecting portion becomes less than 5 μm , a heat convection is not contributed and thus a heat conduction is mainly performed by a heat radiation. Moreover, it is understood that, since the particles on the mount plane 2a are not directly contacted to the semiconductor wafer but are attracted electrostatically to the semiconductor wafer, it is difficult to reduce the particles from the semiconductor wafer. From this point of view, it is further preferred to set a height of the projecting portion to not less than 6 μm .

[0014] Further, if a total amount of areas of the contact planes of the projecting portions to be contacted to the wafer is less than 5% with respect to an area of the inner electrode, an attraction force is lowered excessively even with taking into consideration of a contribution of coulomb force mentioned above, and thus it is not possible to flow the backside gas with a sufficiently high

pressure, so that a temperature uniformity of the semiconductor wafer is decreased.

[0015] From the above point of view, it is further preferred to set a total amount of areas of the contact planes of the projecting portions to be contacted to the wafer to not more than 8% and not less than 6% with respect to an area of the inner electrode.

[0016] An area of the contact plane of the projecting portion to be contacted to the wafer means an area contacting to the rear plane of the wafer during a normal wafer attracting state. This is normally equal to an area of a top plane of the projecting portion. In this case, if some projecting portions have a low height and they are not contacted to the rear plane of the wafer during a normal wafer mounting state, top planes of those projecting portions are not included in this area.

[0017] Moreover, both of an area of the inner electrode and an area of the contact plane of the projecting portion means the area measured from a vertical direction with respect to the mount plane.

[0018] A height of the projecting portion is measured by a dial-gauge or a three-dimensional shape measuring apparatus.

[0019] Kinds of the processes with respect to the substrate are not limited, but mention may be made of finely working e.g., transferring, exposing, film-forming by CVD, washing, etching, and dicing the semiconductor wafers.

[0020] A kind of the substrate is not limited, but it is preferred to use the semiconductor wafer.

[0021] As the chamber and the power source for electrostatically attracting, use may be made of the known members in their technical fields.

[0022] Fig. 1 is a plan view showing one embodiment of an electrostatic chuck 1 according to the invention. Fig. 2 is a partially enlarged cross sectional view illustrating the electrostatic chuck shown in Fig. 1.

[0023] In the embodiment shown in Fig. 1, the electrostatic chuck 1 comprises an insulation layer 2 having a disc shape and an inner electrode 12 embedded in the insulation layer 2. A numeral 2b is a side plane (outer surface) of the insulation layer 2, and a numeral 2a is a planar mount plane of the insulation layer 2. Plural projecting portions 3A are protruded from the mount

plane 2a. Respective projecting portions 3A has a plate shape more preferably a disc shape. The projecting portions 3A are separated with each other, and they are scattered on the mount plane 2a.

[0024] Moreover, gas supply holes 6 are formed in the insulation layer 2 at for example three positions in this embodiment, and a gas distribution recess 5 is communicated with upper end portions of the gas supply holes 6. The gas distribution recess 5 comprises depression portions 5a continuing from the gas supply holes 6, long recesses 5b extending toward the side plane 2b from the depression portion 5a, and a circular recess 5c continuing from a tip portion of respective recesses 5b. The gas distribution recess 5 is formed at a lower position with respect to the mount plane 2a. Therefore, as shown in Fig. 2, when a backside gas is supplied to the gas supply hole 6 as shown by an arrow A, the backside gas is introduced into the depression portion 5a as shown by an arrow B, which is flowed through the recesses 5b and 5c. In this case, the backside gas is flowed into a space 11 defined by the mount plane 2a, the projecting portions 3A and a semiconductor wafer 10 from all of the recesses 5b and 5c.

[0025] At a center portion of the insulation layer 2, a circular through hole 7 and recesses 8 extending radial toward peripheral three directions are formed. The projecting portions are not formed near the through hole 7 and the recess 8.

[0026] According to the invention, a total amount of areas of top planes 14 (contact planes to the semiconductor wafer) of the projection portions 3A is not less than 5% and not more than 10% with respect to an area of the inner electrode 12. Moreover, a height H of the projecting portion is set to not less than 5 μm and not more than 10 μm .

[0027] In the present invention, a diameter ϕ of respective projecting portions can be varied in various ways, but it is preferred to set such a diameter to 1.0 - 2.0 mm from a point of view of achieving a temperature uniformity of the wafer.

[0028] Moreover, a two-dimensional shape and a two-dimensional size are varied in various ways. For example, a shape of the contact plane of the projecting portion may be polygonal shape such as triangular shape, quadrangle shape, hexagonal shape, octagonal shape and so on other than circular shape. Moreover, the number of the projecting portions is not particularly limited.

However, in order to make an attraction force with respect to the semiconductor wafer uniform on all the planes of the semiconductor wafer, it is particularly preferred to set the number of the projecting portions per a unit area to 0.010 - 0.140 piece/mm².

[0029] It is preferred to align the projecting portions side-by-side continuously. In this case, it is possible to reduce a lack in uniformity of the attraction force of the wafer and to further improve a temperature uniformity of the wafer. Here, a term "align the projecting portions side-by-side continuously" means that, when viewed from a direction parallel to the attraction plane as shown in Fig. 3 for example, the projecting portions 3A and the recesses between the projecting portions 3A are arranged alternately. Preferably, the projecting portions 3A are arranged regularly with a predetermined constant interval.

[0030] Materials of the insulation layer are not limited, but it is preferred from a point of view of further reducing a particle generation to use ceramics of aluminum nitride series, composite materials including aluminum nitride, ceramics of alumina series, composite materials including alumina, and composite ceramics of alumina and aluminum nitride.

[0031] Materials of the inner electrode are not also limited, and use may be made of conductive ceramics and metals, but it is preferred to use a metal having a high melting point such as molybdenum, tungsten, and alloy of molybdenum and tungsten.

[0032] Materials of the projecting portions are not particularly limited, but it is preferred from a point of view of further reducing the particle generation to use ceramics of aluminum nitride series, composite materials including aluminum nitride, ceramics of alumina series, composite materials including alumina, and composite ceramics of alumina and aluminum nitride. The projecting portions are formed by blast working, chemical vapor epitaxy method and so on.

[0033] As the backside gas, use may be made of known gasses such as helium gas, argon gas, and a mixture gas of helium gas and argon gas.

[0034] In order to improve a heat conductivity to the semiconductor wafer, it is preferred to set a pressure for supplying the backside gas to the gas supply hole to not less than 5 Torr more preferably not less than 15 Torr. In this case, if this pressure is increased excessively, an attraction force to the wafer is decreased

and the wafer is liable to deviate. Therefore, it is preferred to set this pressure to not more than 30 Torr.

[0035]

[Examples] The electrostatic chuck having the shape shown in Figs. 1 and 2 was produced. Specifically, aluminum nitride powders were formed into a specific shape to obtain a formed body. Then, the inner electrode made of molybdenum was arranged on the thus obtained formed body, and aluminum nitride powders are filled thereon. After that, the forming process was performed again to obtain the disc-shaped formed body in which the inner electrode was embedded. Then, the thus obtained formed body was sintered in nitrogen atmosphere to produce the insulation layer 2 having a diameter of 200 mm in which the inner electrode was embedded.

[0036] Then, plural projection portions 3A each having a two-dimensionally circular shape as shown in Fig. 1 were formed on a front plane of the insulation layer 2 by a blast working. Moreover, the through hole 7 and the gas distribution recess 5 were formed.

[0037] An area of the inner electrode 12 was 31000 mm^2 . By varying an area of the contact plane 14 of the projecting portion 3A and the number of the projecting portions 3A in various ways, percentages of total amounts of the areas of the contact planes 14 with respect to an area of the inner electrode 12 were varied as shown in the following Table 1 and Table 2. Moreover, the heights H of the projecting portions 3A were also varied as shown in the following Table 1 and Table 2.

[0038] The silicon wafer 10 having a diameter of 200 mm was mounted on the mount plane 2a of the electrostatic chuck 1. The rear plane of the silicon wafer 10 was contacted to the contact planes 14 of the projecting portions 3A. DC voltages of $\pm 500 \text{ V}$ were applied to the inner electrode 12 so as to attract the silicon wafer 10 to the electrostatic chuck 1. Then, an electrostatic attraction force of the silicon wafer was measured at a pressure (Torr) unit under such a condition that the backside gas was not flowed.

[0039] Then, argon gas was supplied into the space 11 defined by the silicon wafer 10, the insulation layer 2 and the projecting portions 3A as mentioned above. By heating the insulation layer 2, an average temperature of the silicon

wafer was increased to 350°C. The pressure for supplying the backside gas was controlled in such a manner that an attraction force of the silicon wafer after supplying the backside gas was maintained at about 30 Torr. Under such a condition, temperatures of the silicon wafer were measured at five points by using the wafer with thermocouple, and a temperature difference between the maximum and the minimum was obtained.

[0040] Moreover, after the silicon wafer was attracted for one minute at 350°C as mentioned above, the attraction of the silicon wafer was ceased.

Then, the number of the particles adhered to the rear plane of the silicon wafer was counted by using the particle counter utilized normally in the semiconductor manufacturing factory. These results were shown in Table 1 and Table 2.

[0041]

[Table 1]

Percentage of areas of contact planes of projection portions with respect to area of inner electrode (%)	3	5	7	10	15
Height of projecting portion H (mm)	7	7	7	7	7
Electrostatic attraction (g/mm ²) (no backside gas)	40	more than 50	more than 50	more than 50	more than 50
Temperature difference of silicon wafer between maximum and minimum (°C)	±5	±3	±2	±3	±3
The number of particles (piece/mm ²)	2	2	3	5	20

[0042]

[Table 2]

Percentage of areas of contact planes of projection portions with respect to area of inner electrode (%)	7	7	7	7	7
Height of projecting portion H (mm)	3	5	7	10	15
Electrostatic attraction (g/mm ²) (no backside gas)	more than 50	more than 50	more than 50	more than 50	25
Temperature difference of silicon wafer between maximum and minimum (°C)	±10	±3	±2	±3	wafer peeling due to gas pressure
The number of particles (piece/mm ²)	20	5	3	5	—

[0043]

[Effect of the Invention] According to the electrostatic chuck of the present invention, it is possible to reduce the particles generated due to the robbing between the projecting portions and the semiconductor wafer, and also it is possible to improve of the temperature uniformity of the semiconductor wafer.

[Brief Description of the Drawings]

[Fig. 1] A plan view showing one embodiment of an electrostatic chuck 1 according to the invention.

[Fig. 2] A partially enlarged cross sectional view illustrating the electrostatic chuck shown in Fig. 1.

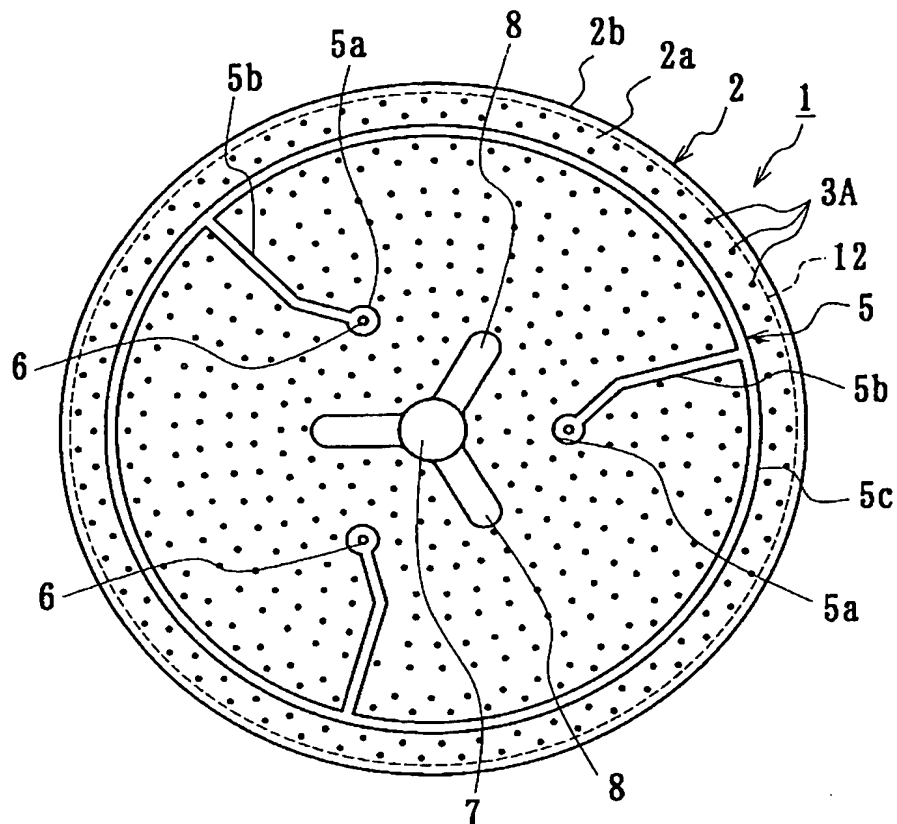
[Fig. 3] A schematic view depicting a state such that projecting portions are aligned side-by-side on a plane of the electrostatic chuck.

[Description of the Numerals]

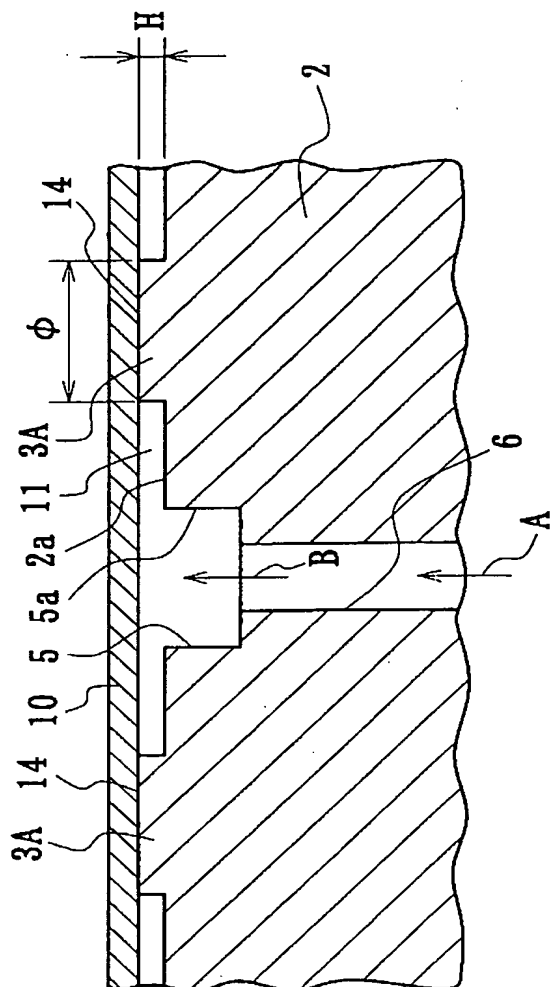
- 1 electrostatic chuck
- 2 insulation layer
- 2a planar mount plane of the insulation layer
- 3A projecting portion contacting to wafer
- 7 through hole
- 5 gas distribution recess
- 6 gas supply hole
- 10 wafer
- 11 a space defined by the mount plane 2a, the projecting portions 3A, 3B and a wafer 10
- 12 inner electrode
- 14 contact plane of the projecting portion

【書類名】 図面
[Identification of Document] Drawing

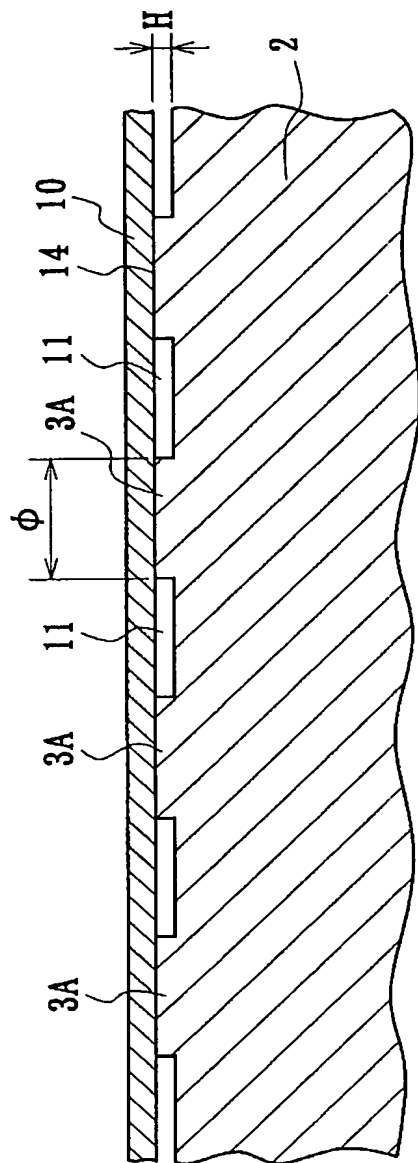
【図1】
[Fig. 1]



【図2】
[Fig. 2]



【図3】
[Fig. 3]



[Identification of Document] Abstract

[Abstract]

[Object]

In an electrostatic chuck, to reduce particles generated by robbing projection portions and a wafer and to improve a temperature uniformity of the wafer.

[Solving Means]

An electrostatic chuck 1 having an insulation layer 2 includes a mount plane 2a on which a wafer 10 is mounted, an inner electrode provide in the insulation layer 2, and projecting portions 3A protruded from the mount plane 2a which include contact planes 14 to be contacted to the wafer 10. A backside gas is flowed into a space 11 defined by the mount plane 2a, the projecting portions 3A, and the wafer 10 under such a condition that the wafer 10 is attracted to the mount plane so as to maintain a temperature uniformity of the wafer 10. A total amount of areas of the contact planes 14 of the projecting portions 3A contacting to the wafer 10 is not less than 5% and not more than 10% with respect to an area of the inner electrode, and heights H of the projecting portions 3A are not less than 5 μm and not more than 10 μm .

[Selected Figure] Fig. 2